

3/19/01
1030
Docket No.: 50090-265

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

jc862 U.S. PTO
09/166845
01/23/01


In re Application of :
Kiyotoshi UEDA, et al. :
Serial No.: Group Art Unit:
Filed: January 23, 2001 Examiner:
For: METHOD AND APPARATUS FOR TESTING SEMICONDUCTOR INTEGRATED CIRCUIT, AND SEMICONDUCTOR INTEGRATED CIRCUIT MANUFACTURED THEREBY

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents
Washington, DC 20231

Sir:

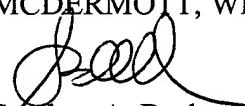
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2000-216321,
filed July 17, 2000

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:dtb
Date: January 23, 2001
Facsimile: (202) 756-8087

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

GT337

50090-265

Ueda, et al.

January 23, 2001

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application:

2000年 7月17日

出願番号

Application Number:

特願2000-216321

出願人

Applicant (s):

三菱電機株式会社

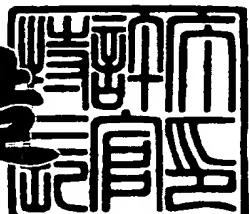
10962 U.S. PTO
09/766845
01/23/01



2000年 8月 4日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3061189

【書類名】 特許願
 【整理番号】 525184JP01
 【提出日】 平成12年 7月17日
 【あて先】 特許庁長官殿
 【国際特許分類】 G01R 31/28
 G01R 31/3185

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 上田 清年

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 大下 昌一

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100082175

【弁理士】

【氏名又は名称】 高田 守

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100066991

【弁理士】

【氏名又は名称】 葛野 信一

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100106150

【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100108372

【弁理士】

【氏名又は名称】 谷田 拓男

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路の検査方法および装置、並びに半導体集積回路

【特許請求の範囲】

【請求項1】 テスタから測定用信号を半導体集積回路の全ピンに対して発生するステップと、

トリガ信号を発生するステップと、

上記測定信号を上記トリガ信号でラッチするステップと、

該ラッチされた測定信号をデータとして記憶手段に記憶するステップと、

該記憶手段に記憶したデータを上記テスタへ読み出すステップと

を含むことを特徴とする半導体集積回路の検査方法。

【請求項2】 上記記憶手段に記憶されたデータは、上記半導体集積回路の全ピンの電気長として格納されることを特徴とする請求項1記載の半導体集積回路の検査方法。

【請求項3】 上記テスタに読み込んだデータに基づいてキャリブレーションファイルを作成することを特徴とする請求項1または2記載の半導体集積回路の検査方法。

【請求項4】 上記テスタから機能試験をする際に、上記キャリブレーションファイルを参照して上記測定用信号の波形タイミングを補正するようにしたことを特徴とする請求項3記載の半導体集積回路の検査方法。

【請求項5】 上記トリガ信号は、高速のクロック信号であることを特徴とする請求項1～4のいずれかに記載の半導体集積回路の検査方法。

【請求項6】 上記トリガ信号は、低速のクロック信号に基づいて複数の遅延時間有する異なる信号を生成し、該生成された複数の異なる信号から選択された信号であることを特徴とする請求項1～4のいずれかに記載の半導体集積回路の検査方法。

【請求項7】 半導体集積回路の全ピンに印加される測定用信号の入力波形のタイミングを補正する補正手段を備えたことを特徴とする半導体集積回路の検査装置。

【請求項8】 上記補正手段は、クロック信号を発生するクロック発生手段

と、該クロック発生手段からのクロック信号で上記測定用信号をラッチするラッチ手段と、該ラッチ手段にラッチされた測定信号をデータとして記憶する記憶手段と、該記憶手段に記憶されたデータを外部に取り出す制御手段とを有することを特徴とする請求項7記載の半導体集積回路の検査装置。

【請求項9】 上記ラッチ手段、記憶手段および制御手段は上記半導体集積回路に内蔵されていることを特徴とする請求項8記載の半導体集積回路の検査装置。

【請求項10】 上記ラッチ手段は、終端回路とラッチ回路からなり、上記記憶手段はFIFOメモリとスキャンFF回路からなることを特徴とする請求項8または9記載の半導体集積回路の検査装置。

【請求項11】 上記クロック発生手段は、高速クロックを発生する高速クロック発生回路であることを特徴とする請求項8～10のいずれかに記載の半導体集積回路の検査装置。

【請求項12】 上記クロック発生手段は、低速クロックを発生する低速クロック発生回路と、該低速クロック発生回路の出力に基づいて複数の遅延時間有する異なる信号を発生する遅延回路と、該遅延回路からの異なる信号を選択する選択回路とを有することを特徴とする請求項8～10のいずれかに記載の半導体集積回路の検査装置。

【請求項13】 請求項1～6のいずれかに記載の半導体集積回路の検査方法を用いて製造されたことを特徴とする半導体集積回路。

【請求項14】 請求項7～12のいずれかに記載の半導体集積回路の検査装置を用いて製造されたことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体集積回路の検査方法および装置並びにこの半導体集積回路の検査方法および装置を用いて製造された半導体集積回路に関し、特に機能試験検査を実施する際に半導体集積回路の入力端において、半導体試験装置から供給される入力波形のタイミングを自動的に高精度で補正する高精度タイミングの自

動補正方法に関するものである。

【0002】

【従来の技術】

近年の半導体集積回路（以下、ICと称す）は動作周波数250MHz以上、ピン数1000ピン以上と著しく向上しており、動作機能試験における各種信号入力波形のタイミング精度も動作周波数の5%以下と大変厳しくなってきている（要求は300MHz動作時に±100pS以下）。

このタイミング精度は、ICへのクロック入力に対するデータ入力セットアップ時間やホールド時間として規格されており、通常クロック入力ピンに対してデータ入力が複数ピン存在している。

【0003】

更には、このタイミング精度もICパッケージの外部リード（又はボール）ではなく、ICパッケージ内部のICの電極部（パッド）での保証を要求されて来ている。

このようなICを試験する半導体試験装置（以下、テスタと称す）においても動作周波数、ピン数の向上は行われてきているが、タイミング精度を含めてICの要求を満たすテスタは非常に高額であり、かつ、ICパッケージ内部のチップ電極部での保証となった場合対応できていないのが現状である。

【0004】

従来、テスタにて実施しているタイミング精度の保証方法としては2種類であり、一つはテスタ内部での補正（キャリブレーション）とIC毎に製作するテストボードのキャリブレーションになる。

テスタ内部のキャリブレーションは製造装置メーカー独自のハードウェア構成により独自の手法で行われるが、テストボードのキャリブレーションについては一般的にTDR（信号波形反射方法）方法により実施される場合が多い。この場合は信号伝送線路を開放（オープン状態）もしくは終端させる必要がある。終端する場合のインピーダンスとしては一般的に50Ωにしている。

ただ、このTDR手法での精度は一般的に100pS前後の精度しか得られないため、実際は、外部から波形観測可能なオシロスコープ等を併用してキャリブ

レーションしている。

【0005】

【発明が解決しようとする課題】

ところで、従来の半導体集積回路の検査方法の場合には、以下のような問題点があった。

オシロスコープのプロービング接触方法により正確な波形を繰り返し得ることは難しく、信号数が1000ピンを超える場合に実作業としてかなりの時間を使し現実的に厳しい。

【0006】

また、オシロスコープ等を利用したとしてもICパッケージ内のICの電極部での補正となるとオシロスコープのプロービングが出来ず不可能である。

このTDR測定をIC実装した状態で行う場合、ICの各入出力端子のインピーダンスが異なるため、テスタからテストボードまでの信号経路上の伝送インピーダンス整合がとれず、反射波形が正常に得られず、電気長の測定が不可能となる。

【0007】

この発明は、上述の従来の問題点を解消するためになされたもので、ICの機能試験を実施する場合に入力波形をICの電極（パッド）端までの電気長を高精度で補正することができる半導体集積回路の検査方法および装置並びにこの半導体集積回路の検査方法および装置を用いて製造された半導体集積回路を提供することを目的とする。

【0008】

【課題を解決するための手段】

請求項1の発明に係る半導体集積回路の検査方法は、テスタから測定用信号を半導体集積回路の全ピンに対して発生するステップと、トリガ信号を発生するステップと、上記測定信号を上記トリガ信号でラッチするステップと、該ラッチされた測定信号をデータとして記憶手段に記憶するステップと、該記憶手段に記憶したデータを上記テスタへ読み出すステップとを含むものである。

【0009】

請求項2の発明に係る半導体集積回路の検査方法は、請求項1の発明において、上記記憶手段に記憶されたデータは、上記半導体集積回路の全ピンの電気長として格納されるものである。

【0010】

請求項3の発明に係る半導体集積回路の検査方法は、請求項1または2の発明において、上記テスタに読み込んだデータに基づいてキャリブレーションファイルを作成するものである。

【0011】

請求項4の発明に係る半導体集積回路の検査方法は、請求項3の発明において、上記テスタから機能試験をする際に、上記キャリブレーションファイルを参照して上記測定用信号の波形タイミングを補正するものである。

【0012】

請求項5の発明に係る半導体集積回路の検査方法は、請求項1～4のいずれかの発明において、上記トリガ信号は、高速のクロック信号である。

【0013】

請求項6の発明に係る半導体集積回路の検査方法は、請求項1～4のいずれかの発明において、上記トリガ信号は、低速のクロック信号に基づいて複数の遅延時間有する異なる信号を生成し、該生成された複数の異なる信号から選択された信号である。

【0014】

請求項7の発明に係る半導体集積回路の検査装置は、半導体集積回路の全ピンに印加される測定用信号の入力波形のタイミングを補正する補正手段を備えたものである。

【0015】

請求項8の発明に係る半導体集積回路の検査装置は、請求項7の発明において、上記補正手段は、クロック信号を発生するクロック発生手段と、該クロック発生手段からのクロック信号で上記測定用信号をラッチするラッチ手段と、該ラッチ手段にラッチされた測定信号をデータとして記憶する記憶手段と、該記憶手段に記憶されたデータを外部に取り出す制御手段とを有するものである。

【0016】

請求項9の発明に係る半導体集積回路の検査装置は、請求項8の発明において、上記ラッチ手段、記憶手段および制御手段は上記半導体集積回路に内蔵されているものである。

【0017】

請求項10の発明に係る半導体集積回路の検査装置は、請求項8または9の発明において、上記ラッチ手段は、終端回路とラッチ回路からなり、上記記憶手段はFIFOメモリとスキャンFF回路からなるものである。

【0018】

請求項11の発明に係る半導体集積回路の検査装置は、請求項8～10のいずれかの発明において、上記クロック発生手段は、高速クロックを発生する高速クロック発生回路である。

【0019】

請求項12の発明に係る半導体集積回路の検査装置は、請求項8～10のいずれかの発明において、上記クロック発生手段は、低速クロックを発生する低速クロック発生回路と、該低速クロック発生回路の出力に基づいて複数の遅延時間有する異なる信号を発生する遅延回路と、該遅延回路からの異なる信号を選択する選択回路とを有するものである。

【0020】

請求項13の発明に係る半導体集積回路は、請求項1～6のいずれかに記載の半導体集積回路の検査方法を用いて製造されたものである。

【0021】

請求項14の発明に係る半導体集積回路は、請求項7～12のいずれかに記載の半導体集積回路の検査装置を用いて製造されたものである。

【0022】

【発明の実施の形態】

以下、この発明の実施の形態を、図を参照して説明する。

実施の形態1.

先ず、この発明の基本原理を、図1～図3を参照して説明する。

図1は、テスタとテストボードを示すブロック図である。

図において、1a, 1bは後述のICへ各種信号波形を印加するテスタのピンエレクトロニクス部でドライバDVとコンパレータCOMを含む。2a, 2bはテストボードと電気的接触を行うために設けられたポゴピン、3a, 3bはテストボード上の信号配線、5はICソケット（図示しない）に実装された被測定デバイス（半導体集積回路、以下、ICと称す）である。

【0023】

図2は、図1の構成を縦方向から示した図である。図2において、図1と対応する部分には同一符号を付し、その説明を省略する。

図において、3はテストボード、4はICソケット、4aはICソケット4に埋め込まれた導電性の接触子、6はICパッケージ、7はICパッケージ6内に実装された半導体チップである。このICパッケージ6および半導体チップ7が図1のIC5に実質的に相当する。

【0024】

テスタから発生された各種信号波形は、ピンエレクトロニクス部1aからポゴピン2aを通り、テストボード3上の信号配線3aを通り、ICソケット4の接触子4aを介してICパッケージ6のリード（又はボール）に伝わり、最終的に半導体チップ7に送られる。また、ピンエレクトロニクス部1b、ポゴピン2bおよび信号配線3bの側の場合も、同様にしてこれらの経路を通り、ICソケット4の接触子4bを介してICパッケージ6のリード（又はボール）に伝わり、最終的に半導体チップ7に送られる。

【0025】

IC5のピン数が1000ピンを超えると、テストボード3上の信号配線3a, 3bも密集して配線することになり、電気長を等長で製造することは難しい。

上記の構成において、タイミング補正（以下、キャリブレーションと称す）を行う場合、まず、第一に試験するために用いるテストボード3に依存しない図2のポゴピン2aの端までの補正を行う。

【0026】

この手法は、テスタ製造メーカーにより各種異なるが、簡単に説明すると、信

号波形の電圧振幅調整後、波形形成する各種エッジの基準信号からのズレ量（スキー値）を調べ、補正データファイルとしてテスタ内部の記憶メモリに書き込む。次に、テストボード3上の信号配線長の補正を行う。この場合にTDR手法を用いている。

【0027】

このTDR手法による信号配線長の求め方を、図3を参照して簡単に説明する。

まず、図2のピンエレクトロニクス部1aから印加される信号波形を、入力SI1とする。この入力SI1はIC5を実装しない状態で、ICソケット4の接触子4aの部分で全反射し、反射波RWのように入力SI1の電圧振幅の2分の1の電圧まで達した所で、ある一定時間は電圧レベルが上昇しなくなる。

この時間が、図2の信号配線3a, 3bの長さの2倍の長さとなって現れる。この時間を経過すると、入力SI1の電圧レベルまで達する。図2のICソケット4の接触子4aの部分では、入力SI1よりテストボード3上の電気長分遅れた入力SI2が印加される。

【0028】

この反射波RWがある設定電圧値に達した時間を測定し、反射波RWをテスタのピンエレクトロニクス部で観測することで、電気長を求める。設定電圧値としては3種類程度を使っている。

【0029】

従って、テストボード3上の各ピンに対する信号線インピーダンス、信号配線長の違いにより求められる電気長も当然異なる。また、反射波RWの波形を観測するために、入力SI2に比べ波形品質が良くないため、誤差が大きくなってしまう。さらには、IC5を実装してしまうとインピーダンス不整合の為反射波形が正常に得られず、電気長を求めることが出来ない。よって、図2の半導体チップ6の電極（パッド）までの電気長を求めることが出来ない。

【0030】

そこで、本実施の形態では、半導体チップ内部に終端回路、ラッチ回路、FI FOメモリ、スキャンFF回路を形成することで半導体チップのパッド端までの

タイミング補正を可能にし、かつテストボード上に高速クロック発生回路を搭載しテスタから伝送される測定用信号の波形を、この高速クロック発生回路より発生される波形のエッジをトリガ信号として使い取り込む方法で、各ピン毎での電気長の違いによるタイミングのスキュー値をFIFOメモリに記憶させ、ある一定時間経過後にスキャンFF回路を介しテスタに読み込むことで補正する。なお、このテスタから伝送される測定用信号の波形の取り込みは、テスタにより発生させた高速クロックのエッジをトリガ信号として使い取り込むようにしてよい。

【0031】

図4は、この発明の実施の形態1を示す構成図である。図4において、図1および図2と対応する部分には同一符号を付して説明する。

図において、1a, 1b...1nはテスタのピンエレクトロニクス部、2a, 2b...2nはポゴピン、3a, 3b...3nはテストボード上に設けた信号配線である。ここではピンエレクトロニクス部1a, 1b...はIC5に対して信号波形を印加し、ピンエレクトロニクス部1cはIC5からのデータを取り込むように働く。8a, 8bは終端回路、9a, 9bはラッチ回路、10a, 10bはラッチ回路9a, 9bでラッチしたデータを記憶するメモリ(FIFOメモリ)、11a, 11bはそれぞれFIFOメモリ10a, 10bのデータを読み出すスキャンFF回路である。なお、終端回路8a, 8bとラッチ回路9a, 9bはラッチ手段を構成し、FIFOメモリ10a, 10bとスキャンFF回路11a, 11bは記憶手段を構成する。

【0032】

また、12はドライバDVとコンパレータCOMを含み、ピンエレクトロニクス部1a, 1bから印加される波形を取り込むためのエッジ(トリガ信号)を発生させるクロック発生手段としての高速クロック発生回路である。高速クロック発生回路12の出力側はインバータ13a, 13bをそれぞれ介してラッチ回路9a, 9bのクロック端子Cに接続される。14はスキャンFF回路11a, 11bのデータを読み出すためのコントロール回路(JTAG回路)である。なお、高速クロック発生回路12の代わりにテスタから同様の高速クロックを発生さ

せ、この高速クロックのエッジを使いテスタから伝送される波形を取り込むことも可能である。

【0033】

終端回路8a, 8bは、テスタのピンエレクトロニクス部1a, 1bのインピーダンスとのマッチングを取るために設ける。通常のピンエレクトロニクス部1a, 1bの出力インピーダンスが50Ωであるため、信号配線3a, 3bおよび終端回路8a, 8bも50Ωで製造することで、インピーダンス整合を図っている。なお、終端回路8a, 8b、ラッチ回路9a, 9b、FIFOメモリ10a, 10b、スキャンFF回路11a, 11b、高速クロック発生回路12、コントロール回路14は、IC5の全ピンに印加される測定用信号の入力波形のタイミングを補正する補正手段を構成する。

【0034】

次に、動作について、自動補正する際のタイミング波形を示す図5を参照して、説明する。

高速クロック発生回路12からのトリガ信号としての高速クロックは周期10pSの高速で印加する。図4のA点での波形を反射波2の波形とすると、この時点では全ピンのタイミングは一致している。この波形は、テストボード上の信号配線を通りIC5のパッケージ端に到着する時点では信号配線の長さの違いにより入力S11, S12, S13に示すように数十pSのスキューが発生する。

【0035】

ラッチ回路8a, 8bは入力S11のクロックのエッジにより0, 1のデジタルデータとして高速クロック波形の周期毎（立上がりに同期して）にFIFOメモリ10a, 10bにデータを記憶させる。FIFOメモリ10a, 10bの容量はタイミング精度の分解能に関する為、必要に応じて確保しておく。

このため、入力S11, S12, S13スキュー値が、0, 1のデータとしてFIFOメモリ10a, 10bに記憶されることになる。

【0036】

この記憶されたデータを、コントロール回路14を経由してスキャンFF回路11a, 11bを使い、外部（この場合はテスタ）へ取り込む。テスタに取り込

まれたデータは下記の表1に示すようなテーブルとしてキャリブレーション用ファイルとして作成する。

【0037】

【表1】

表-1：キャリブレーションファイル

データ	1	2	3	4	5	6	1019	1020	1021	1022	1023	1024
1	0	0	0	0	0	0	1	1	1	0	0	1
2	0	0	0	0	1	0	1	1	1	0	0	1
3	0	0	0	0	1	0	1	1	1	0	0	1
4	0	0	1	0	1	0	1	1	1	0	0	1
5	0	0	1	0	1	0	1	1	1	1	0	1
6	0	0	1	0	1	0	1	1	1	1	0	1
7	0	0	1	1	1	0	1	1	1	1	0	1
8	0	0	1	1	1	0	1	1	1	1	0	1
9	1	0	1	1	1	0	1	1	1	1	1	1
10	1	0	1	1	1	0	1	1	1	1	1	1
11	1	0	1	1	1	1	1	1	1	1	1	1
12	1	1	1	1	1	1	1	1	1	1	1	1
13	1	1	1	1	1	1	1	1	1	1	1	1
14	1	1	1	1	1	1	1	1	1	1	1	1
15	1	1	1	1	1	1	1	1	1	1	1	1

FIFOメモリの内容

【0038】

機能試験を実施する場合には、各波形形成するタイミング値を各設定に必要な

ピンに対して一定の値を設定し、実行する場合にキャリブレーションファイルを参照し各ピン毎の補正を行う。

キャリブレーションファイルは、上記表1に示すテーブルの1行単位が、高速クロックの1周期単位（本例では10pS単位）となっているので、高精度な補正が行える。また、この方式では、半導体チップの電極部（パッド）までのタイミング補正を実現している。

【0039】

この自動補正を行う概略手法を、図6を参照して説明する。

図において、テスタから信号TDR測定用の信号を全ピンに対して発生させる、つまりピンエレクトロニクス部から繰り返し波形を印加し（ステップS1）、高速クロック発生回路12を動作させてトリガ信号であるクロック信号を発生させ（ステップS2）、ラッチ回路9a, 9bでテスタより印加された波形を高速クロック発生回路12の立ち上がりエッジでラッチさせる、つまりTDR波形の電圧レベルを0, 1でラッチさせる（ステップS3）。

【0040】

次いで、ラッチした結果をFIFOメモリ10a, 10bに書き込む、つまりラッチ回路9a, 9bの出力をそれぞれFIFOメモリ10a, 10bに高速ラッチ回路12のエッジで書き込み（ステップS4）、高速クロックの複数の周期完了後にFIFOメモリ10a, 10bへ各端子のスキー値が0, 1のデータとして格納され、つまり、全ピンの電気長がFIFOメモリ10a, 10bに0, 1のデータとして格納される（ステップS5）。

【0041】

コントロール回路14を介してFIFOメモリ10a, 10bのデータをそれぞれスキャンFF回路11a, 11bから読み出し（ステップS6）、FIFOメモリ10a, 10bのデータをテスタに読み込みキャリブレーションファイルを作成し、つまりテスタに読み込んだデータを元にキャリブレーションファイルを作成し（ステップS7）、テスタで各種波形を発生させる場合に、このキャリブレーションシファイルを参照して各ピンに対しての補正をする、つまりテスタから機能試験をする際に、キャリブレーションファイルを参照して各ピンに対す

る波形タイミングの補正を行う（ステップS8）。

【0042】

このように、本実施の形態では、各ピン毎での電気長の違いによるタイミングのスキー値をFIFOメモリに記憶させ、ある一定時間経過後にスキャンFF回路を介しテスタに読み込むことで補正を行うので、高精度でタイミング補正が可能になり、機能試験における高精度タイミングの自動補正が可能になる。

【0043】

実施の形態2.

さらにタイミング精度を向上させる場合には、高速クロックの高性能化が必要になってくるが、低速のクロック発生回路でも図7の回路を付加することで同様の機能が実現できる。

図7は、この発明の実施の形態2による低速クロック発生回路の出力端に設ける遅延回路と選択回路を示している。

図において、20はドライバDVとコンパレータCOMを含む低速クロック発生回路、21は遅延回路であって、この遅延回路21は、縦列接続の遅延素子21a～21cと、これと並列に設けられた縦列接続の遅延素子21d、21eとを含み、遅延素子21aと21dの入力側は共通接続されて低速クロック発生回路20の出力側に接続される。遅延素子21a～21cが第1の遅延時間、遅延素子21d、21eが第2の遅延時間を設定している。

【0044】

22は遅延回路21で設定されている第1の遅延時間または第2の遅延時間のいずれかの経路を選択する選択回路である。選択回路22は、例えば縦列接続の遅延素子22a、22bと、遅延素子22aの出力側に一方の入力端が接続され、他方の入力端が遅延素子21cの出力側に接続されたAND回路22cと、遅延素子22bの出力側に一方の入力端が接続され、他方の入力端が遅延素子21eの出力側に接続されたAND回路22dと、一方の入力端と他方の入力端がそれぞれAND回路22dと22cの出力端に接続されたOR回路22eとを備える。遅延素子22aの入力側にはテスタからの選択信号が入力され、OR回路22eの出力は即ち選択回路22の出力は図4の高速クロック発生回路12の出力

と同様にそれぞれインバータ13a, 13bを介してラッチ回路9a, 9bのクロック端子Cに供給される。なお、低速クロック発生回路20、遅延回路21および選択回路22はクロック発生手段を構成する。

【0045】

本実施の形態では、2種類の遅延時間有する遅延回路を示しているが、低速クロックの周波数とタイミング分解能に応じて2種類以上の複数の遅延時間有する遅延回路を設けてもよい。低速クロック発生回路20で発生したクロックの波形を、遅延回路21を通すことで遅延素子21a～21cの経路と遅延素子22d, 22eの経路それぞれの遅延時間分だけ位相差をもたせる。この異なった信号を選択回路22において、選択回路22にテスタから送られる選択信号によりいずれかを選択し、ラッチ回路9a, 9bに供給する。

【0046】

図8は図7の動作を示すタイミング図である。

ここでは遅延回路21を経由した低速クロックをC1からC4まで示している。これらのクロックはそれぞれ10pS遅延させることができるために低速クロックC1のエッジでまず入力S11の波形を取り込み、次に低速クロックC2のエッジで同様に入力S11の波形を取り込み、低速クロックC3, C4についても同様にしてそのエッジで入力S11の波形を取り込む。これを他の入力S12, S13についても繰り返すことで対応するFIFOメモリ10a, 10b, 10cに0, 1のデータとして記憶させる。

【0047】

そして、この記憶されたデータを、上記実施の形態1と同様にコントロール回路14を経由してスキャンFF回路11a, 11bを使い、外部（この場合はテスタ）へ取り込み、上記表1に示すようなテーブルとしてキャリブレーション用ファイルとして作成する。

【0048】

かくして、本実施の形態では、基本周波数が低く、タイミング精度が悪いテスタにおいても高精度のタイミング補正が可能になる。

なお、上記において、高速クロック発生回路および低速クロック発生回路の構

成は、ドライバDVとコンパレータCOMを用いる代わりに、自励発振器を用いでもよい。

【0049】

【発明の効果】

以上のように、請求項1の発明によれば、テスタから測定用信号を半導体集積回路の全ピンに対して発生するステップと、トリガ信号を発生するステップと、上記測定信号を上記トリガ信号でラッチするステップと、該ラッチされた測定信号をデータとして記憶手段に記憶するステップと、該記憶手段に記憶したデータを上記テスタへ読み出すステップとを含むので、高精度でタイミング補正が可能になり、機能試験における高精度タイミングの自動補正が可能になるという効果がある。

【0050】

また、請求項2の発明によれば、上記記憶手段に記憶されたデータは、上記半導体集積回路の全ピンの電気長として格納されるので、機能試験における高精度タイミングの自動補正に寄与できるという効果がある。

【0051】

また、請求項3の発明によれば、上記テスタに読み込んだデータに基づいてキャリブレーションファイルを作成するので、機能試験における高精度タイミングの自動補正に寄与できるという効果がある。

【0052】

また、請求項4の発明によれば、上記テスタから機能試験をする際に、上記キャリブレーションファイルを参照して上記測定用信号の波形タイミングを補正するので、効率よく高精度タイミングの自動補正が可能になるという効果がある。

【0053】

また、請求項5の発明によれば、上記トリガ信号は、高速のクロック信号であるので、機能試験における高精度タイミングの自動補正に寄与できるという効果がある。

【0054】

また、請求項6の発明によれば、上記トリガ信号は、低速のクロック信号に基

づいて複数の遅延時間有する異なる信号を生成し、該生成された複数の異なる信号から選択された信号であるので、基本周波数が低く、タイミング精度が悪いテストにおいても高精度のタイミング補正が可能になるという効果がある。

【0055】

また、請求項7の発明によれば、半導体集積回路の全ピンに印加される測定用信号の入力波形のタイミングを補正する補正手段を備えたので、高精度でタイミング補正が可能になり、機能試験における高精度タイミングの自動補正が可能になるという効果がある。

【0056】

また、請求項8の発明によれば、上記補正手段は、クロック信号を発生するクロック発生手段と、該クロック発生手段からのクロック信号で上記測定用信号をラッチするラッチ手段と、該ラッチ手段にラッチされた測定信号をデータとして記憶する記憶手段と、該記憶手段に記憶されたデータを外部に取り出す制御手段とを有するので、機能試験における高精度タイミングの自動補正に寄与できるという効果がある。

【0057】

また、請求項9の発明によれば、上記ラッチ手段、記憶手段および制御手段は上記半導体集積回路に内蔵されているので、装置の小型化、低廉化に寄与できるという効果がある。

【0058】

また、請求項10の発明によれば、上記ラッチ手段は、終端回路とラッチ回路からなり、上記記憶手段はFIFOメモリとスキャンFF回路からなるので、効率よく高精度タイミングの自動補正が可能になるという効果がある。

【0059】

また、請求項11の発明によれば、上記クロック発生手段は、高速クロックを発生する高速クロック発生回路であるので、機能試験における高精度タイミングの自動補正に寄与できるという効果がある。

【0060】

また、請求項12の発明によれば、上記クロック発生手段は、低速クロックを

発生する低速クロック発生回路と、該低速クロック発生回路の出力に基づいて複数の遅延時間を有する異なる信号を発生する遅延回路と、該遅延回路からの異なる信号を選択する選択回路とを有するので、基本周波数が低く、タイミング精度が悪いテストにおいても高精度のタイミング補正が可能になるという効果がある。

【0061】

また、請求項13の発明によれば、請求項1～6のいずれかに記載の半導体集積回路の検査方法を用いて製造されたので、歩留まりがよく、品質の優れた半導体集積回路が得られるという効果がある。

【0062】

さらに、請求項14の発明によれば、請求項7～12のいずれかに記載の半導体集積回路の検査装置を用いて製造されたので、歩留まりがよく、品質の優れた半導体集積回路が得られるという効果がある。

【図面の簡単な説明】

【図1】 テスターとテストボードを示すブロック図である。

【図2】 図1の構成を縦方向から示した図である。

【図3】 TDR手法による信号配線長の求め方を説明するための図である。

【図4】 この発明の実施の形態1を示す構成図である。

【図5】 自動補正する際のタイミング図である。

【図6】 自動補正を行う概略手法を示すフローチャートである。

【図7】 この発明の実施の形態2の要部を示す構成図である。

【図8】 図7の動作を示すタイミング図である。

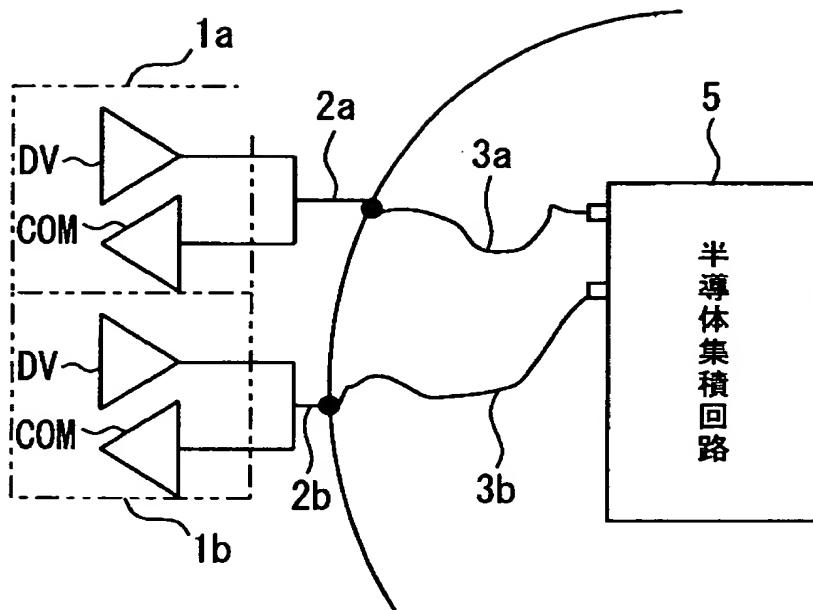
【符号の説明】

1a, 1b テスターのピンエレクトロニクス部、2a, 2b ポゴピン、3 テストボード、3a, 3b 信号配線、5 半導体集積回路（IC）、8a, 8b 終端回路、9a, 9b ラッチ回路、10a, 10b FIFOメモリ、11a, 11b スキャンFF回路、12 高速クロック発生回路、14 コントロール回路（JTAG回路）、20 低速クロック発生回路、21 遅延回路、

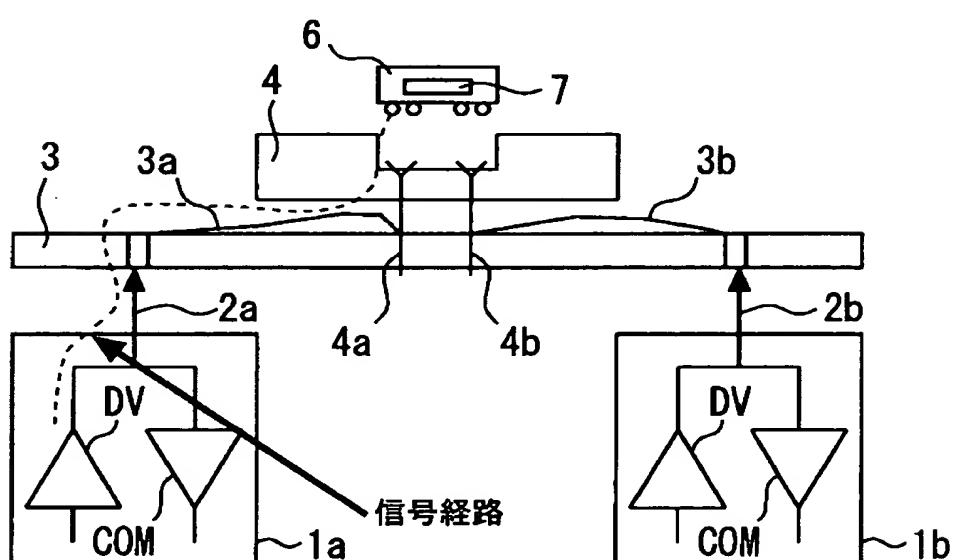
22 選択回路。

【書類名】 図面

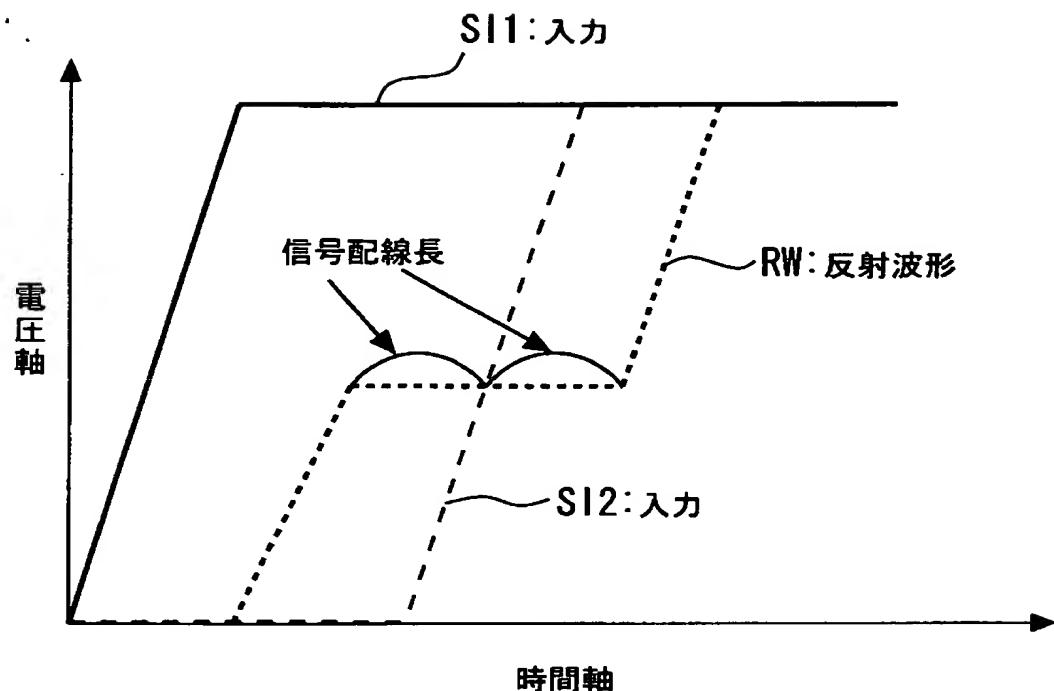
【図1】



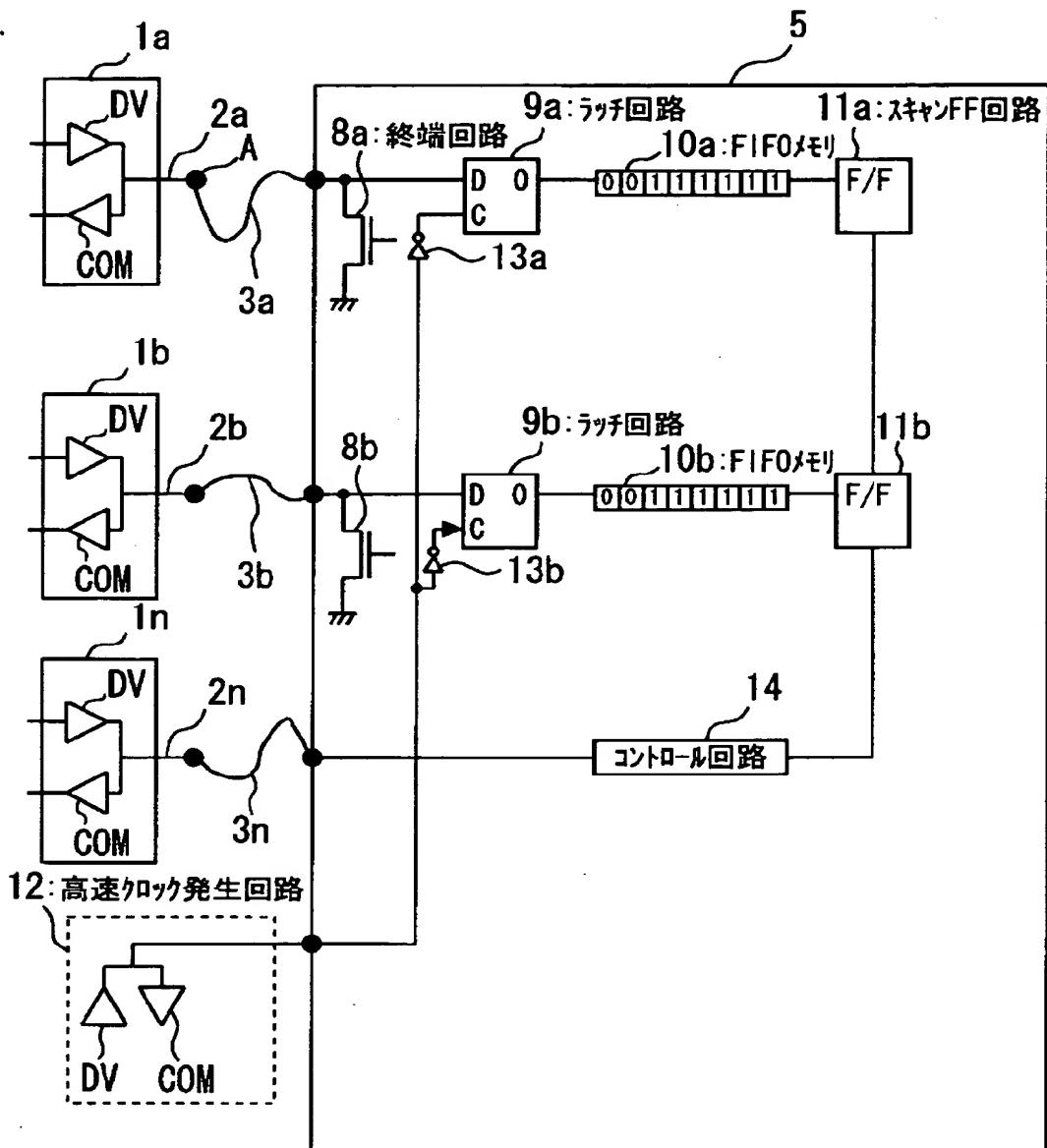
【図2】



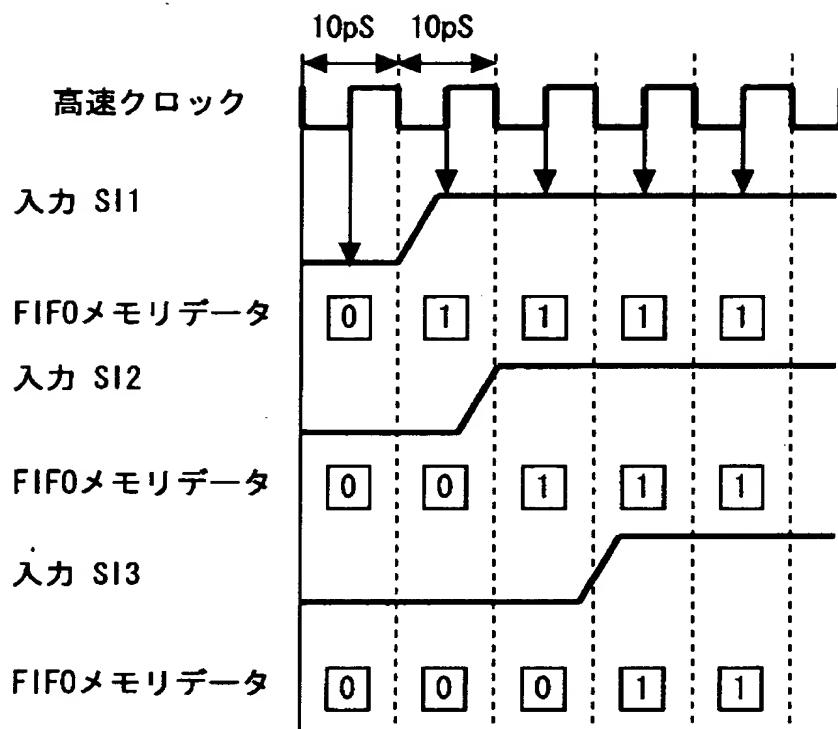
【図3】



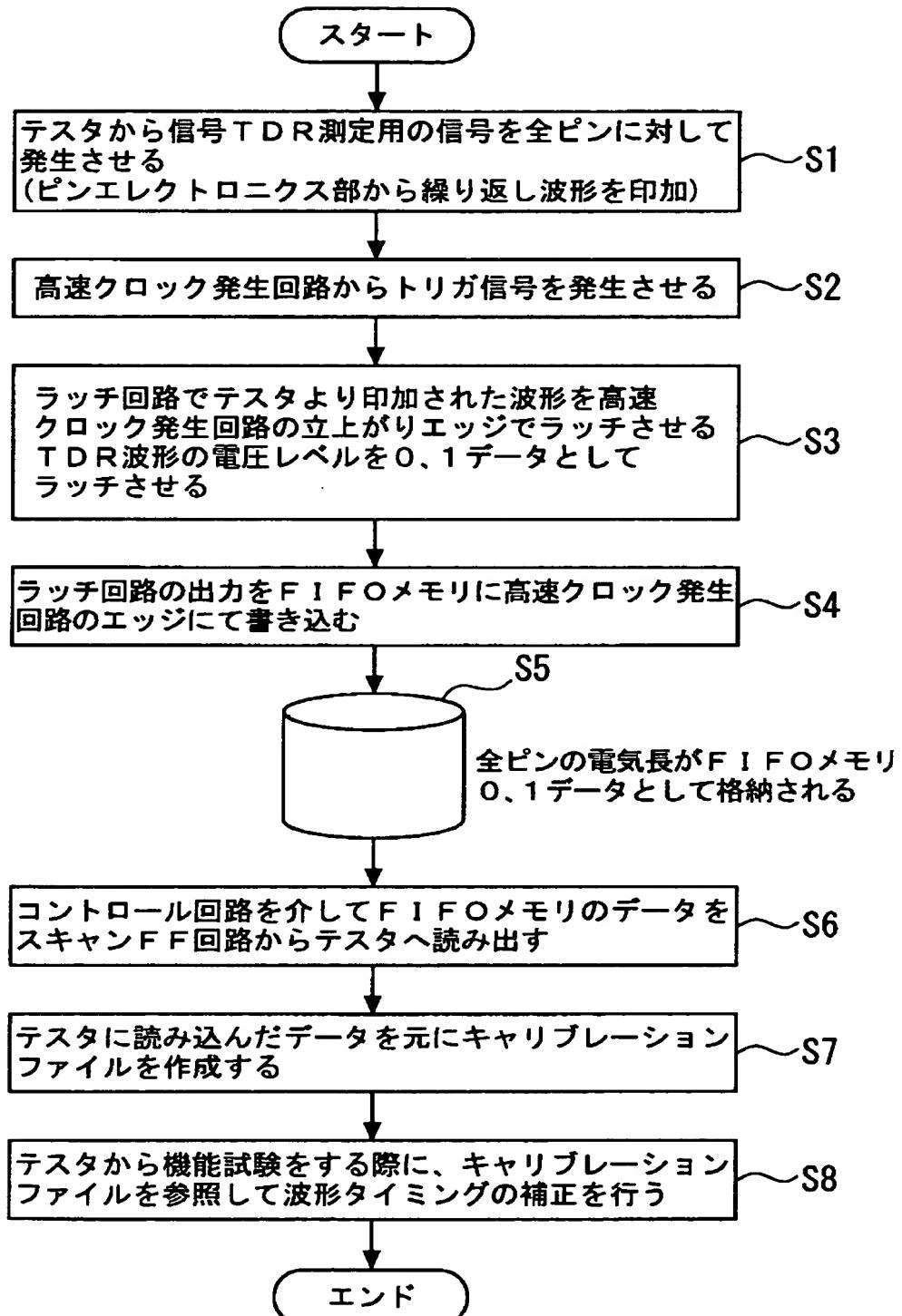
【図4】



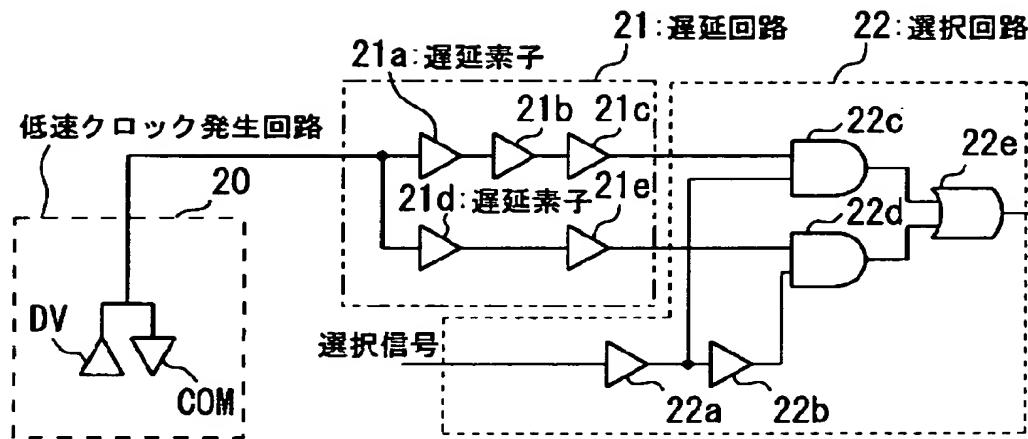
【図5】



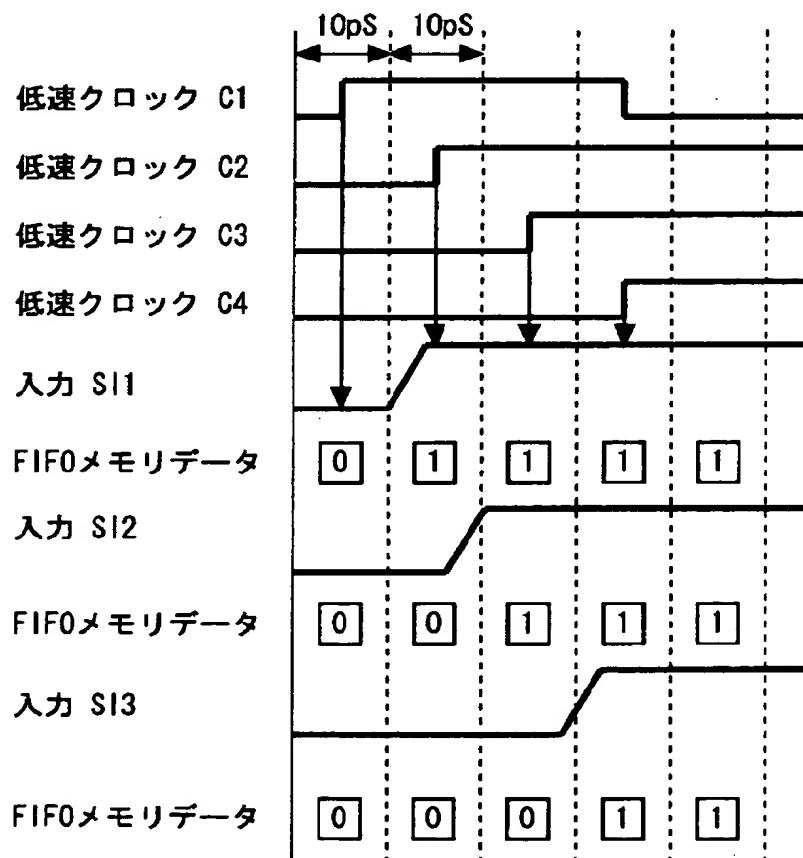
【図6】



【図7】



【図8】



【書類名】 要約書

【要約】

【課題】 機能試験における高精度タイミングの自動補正が可能な半導体集積回路の検査方法および装置を得る。

【解決手段】 半導体集積回路5の全ピンに印加される測定用信号の入力波形のタイミングを補正する補正手段を備え、この補正手段は、クロック信号を発生する高速クロック発生回路12と、この高速クロック発生回路からのクロック信号で測定用信号をラッチするラッチ回路9a, 9bと、このラッチ回路にラッチされた測定信号をデータとして記憶するFIFOメモリ10a, 10bと、このFIFOメモリに記憶されたデータをテスタに取り出すコントロール回路14とを有する。

【選択図】 図4

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社